

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-088083

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H03G 3/20

H03G 3/30

(21)Application number : 09-237010

(71)Applicant : NEC CORP

(22)Date of filing : 02.09.1997

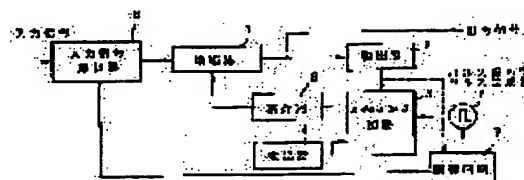
(72)Inventor : IGA HISATAKA

(54) HIGH SPEED AGC CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce pull-in time and to execute a stable AGC operation by maintaining the operation point of gain control voltage through the use of the output of a variable width pulse generator at the time of input switching or power supplying.

SOLUTION: At the time of input switching and current supplying, the gain control of an amplifier 1 is switched to the pulse output of arbitrary pulse width in a pulse width variable pulse generator 6. Thus, the operation point of an AGC circuit is maintained. When the input signal of an input signal selector 8 is switched by a control circuit 7, for example, a detector 4 detects that the input signal is eliminated and a switching circuit 5 is operated. The input signal of a front stage, which is accumulated in the control circuit 7, is switched to the output of the pulse width variable pulse generator 6 controlled by the output of the detector 2 in a prescribed state and the gain control voltage of the amplifier 1 is fixed to a point near the operation point. When the switched input signal arrives, the detector 4 detects it and the switching circuit 5 is switched to the output of the detector 2.



LEGAL STATUS

[Date of request for examination] 02.09.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3259667

[Date of registration] 14.12.2001

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-88083

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁸

H 0 3 G 3/20
3/30

識別記号

F I

H 0 3 G 3/20
3/30

A
B
C

審査請求 有 請求項の数6 O L (全 5 頁)

(21) 出願番号 特願平9-237010

(22) 出願日 平成9年(1997) 9月2日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 伊賀 久高

東京都港区芝五丁目7番1号日本電気株式
会社内

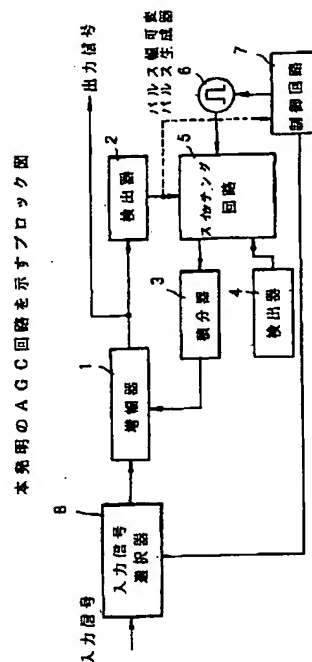
(74) 代理人 弁理士 堀 城之

(54) 【発明の名称】 高速AGC回路

(57) 【要約】

【課題】 AGC回路において、ループ帯域を狭くしていくと、入力信号切替時あるいは電源投入時に引き込み時間がかかるという課題がある。

【解決手段】 AGC回路は、入力切替時および電源投入時に増幅器1の利得制御電圧をパルス幅可変パルス生成器6の任意のパルス幅のパルス出力で制御することで、AGC回路の動作点を維持することにより引き込み時間を高速にする。



が好適である。また、本発明の高速AGC回路では、CPUによって制御される入力信号選択器チューナと、そのチューナの出力を積分器の利得制御電圧の増幅度で増幅する増幅器と、増幅器の出力を検出する第1検出器と、その第1検出器の出力を記憶し可変したパルス幅を出力しかつチューナの入力信号選択の制御を行うCPUと、増幅器への入力信号を検出する第2検出器の信号により、第1検出器とCPUからのパルス幅可変出力信号とを選択するスイッチング回路とを含む構成とすることもできる。その場合、積分器としては、スイッチング回路が選択し出力する信号を平滑にして増幅器への利得制御電圧として出力する構成とするのが好適である。さらに、CPUとしては、電源投入時にはCPUの初期値でのパルス幅のパルス幅をスイッチング回路に出力して、増幅器の利得制御電圧を動作点付近で固定し、第2検出器によりチューナへの入力信号を検出したとき、スイッチング回路を動作させて第1検出器の出力を選択し切り替えることにより、高速に引き込み動作が行えるように制御する構成とするのが好適である。

【0007】本発明のAGC回路は、入力切替時および電源投入時に増幅器の利得制御をパルス幅可変パルス生成器の任意のパルス幅のパルス出力に切り替えることにより、AGC回路動作点を維持することにより引き込み時間を高速にする。

【0008】即ち、入力信号が切り替わったとき、検出器の信号によりスイッチング回路が動作し、パルス幅可変パルス生成器の任意のパルス幅のパルス出力を用いてAGC回路動作点を維持し増幅器を制御する。入力信号が復帰すれば、検出器の信号により、スイッチング回路が動作し、増幅器の出力の検出器からの出力を用いて増幅器を制御し、高速に利得制御を可能としかつ安定なAGC特性が得られる。

【0009】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して詳細に説明する。図1は本発明の実施の形態1に係る高速AGC回路のブロック図、図2は実施の形態2に係る回路構成図である。

【0010】（実施の形態1）本発明の実施の形態1に係る高速AGC回路は、図1に示すように、入力信号を積分器3の出力の利得制御電圧により制御された増幅度で増幅する増幅器1と、増幅器1の出力レベルを検出する第1検出器2と、制御回路7で制御されるパルス幅可変パルス生成器6と、入力信号選択器8とパルス幅可変パルス生成器6とを制御する制御回路7と、スイッチング回路5を制御する第2検出器4と、第2検出器4の信号によって利得制御電圧を生成する積分器3への入力を、第1検出器2の出力かパルス幅可変パルス生成器6の出力かを選択し切り替えるスイッチング回路5と、スイッチング回路5からの出力を積分して平滑化し増幅器1を制御する積分器3と、入力信号を制御回路7によ

て選択する入力信号選択器8とからなる。

【0011】このような回路構成において、入力信号選択器8は、制御回路7の制御信号により入力信号を選択して増幅器1に出力する。増幅器1からの出力信号は第1検出器2によって利得制御電圧としてスイッチング回路5と制御回路7に出力される。

【0012】また、制御回路7は、パルス幅可変パルス生成器6を第1検出器2の出力を用いて制御すると共に、入力信号選択器8も制御する。パルス幅可変パルス生成器6はスイッチング回路5に出力する。第2検出器4の信号により、スイッチング回路5は、第1検出器2の出力かパルス幅可変パルス生成器6の出力かを選択して積分器3に出力する。積分器3は増幅器1に増幅度に応じた利得制御用電圧を出力する。

【0013】入力信号が入力信号選択器1により選択されている場合、増幅器1の出力は検出器2で検出され、スイッチング回路5によって検出器4により選択され、スイッチング回路5からの信号は積分器3により平滑され利得制御電圧として増幅器1の利得度を制御する。すなわち、微小な入力変化に追従するAGC特性が得られる。

【0014】次に制御回路7によって入力信号選択器8の入力信号が切り替わった場合、まず入力信号がなくなったことを検出器4で検出し、スイッチング回路5を動作させ、制御回路7で蓄積していた前段階の入力信号がある状態の検出器2の出力で制御されたパルス幅可変パルス生成器6の出力に切り替え、増幅器1の利得制御電圧を動作点付近で固定する。

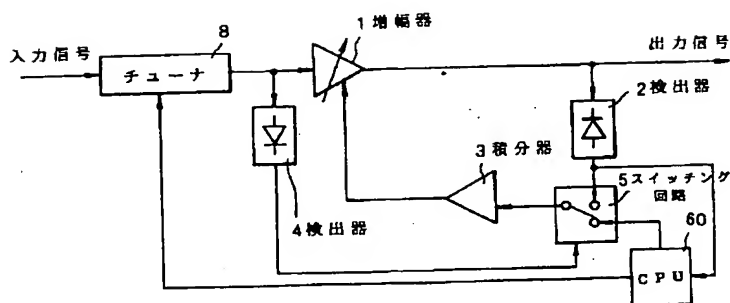
【0015】次に、切り替わった入力信号が来ると、検出器4により検出され、スイッチング回路5を増幅器1の出力を検出する検出器2の出力に切り替え、AGC動作に素早く対応する。すなわち、引き込み時間を高速にする。

【0016】さらに、電源投入時の場合は、制御回路7の初期状態でパルス幅可変パルス生成器6を制御し、スイッチング回路5、パルス幅可変パルス生成器を6の出力を選択し、積分器3により増幅器1の利得を制御して、増幅器1の利得制御電圧を動作付近で固定しておき、入力信号が入力されたことを検出器4によって検出し、スイッチング回路5を動作させ、検出器2の出力を選択し、高速に引き込み動作が行えるようにする。

【0017】（実施の形態2）次に、本発明の実施の形態2について、図2の回路構成図を参照して具体的に説明する。この図2に示す例の高速AGC回路は、CPU60によって制御される入力信号選択器チューナ8と、チューナ8の出力を積分器3の利得制御電圧の増幅度で増幅する増幅器1と、増幅器1の出力を検出する検出器2と、前記検出器2の出力を記憶し可変したパルス幅を出力しかつチューナ8の入力信号選択の制御を行うCPU60と、増幅器1への入力信号を検出する検出器4の

【図2】

本発明の一実施例の構成図



【図3】

